

Docket No.: 61282-032

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of :
:
Sachio OGAWA :
:
Serial No.: : Group Art Unit:
:
Filed: July 18, 2003 : Examiner:
:
For: MULTICHIP MODULE AND TESTING METHOD THEREOF

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop CPD
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

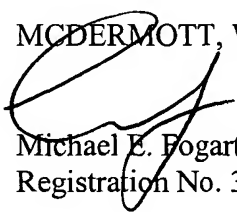
In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claims the priority of:

Japanese Patent Application No. P.2002-246945, filed August 27, 2002

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY


Michael E. Fogarty
Registration No. 36,139

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 MEF:mcw
Facsimile: (202) 756-8087
Date: July 18, 2003

日 本 国 特 許 庁
JAPAN PATENT OFFICE

61282-032

S. OGAWA

July 18, 2003.

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 8月27日

出 願 番 号

Application Number:

特願2002-246945

[ST.10/C]:

[JP2002-246945]

出 願 人

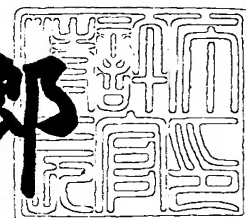
Applicant(s):

松下電器産業株式会社

2003年 1月31日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3002953

【書類名】 特許願

【整理番号】 5037940052

【提出日】 平成14年 8月27日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 25/04

【発明者】

 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式
 会社内

 【氏名】 小川 幸生

【特許出願人】

 【識別番号】 000005821

 【氏名又は名称】 松下電器産業株式会社

【代理人】

 【識別番号】 100105647

 【弁理士】

 【氏名又は名称】 小栗 昌平

 【電話番号】 03-5561-3990

【選任した代理人】

 【識別番号】 100105474

 【弁理士】

 【氏名又は名称】 本多 弘徳

 【電話番号】 03-5561-3990

【選任した代理人】

 【識別番号】 100108589

 【弁理士】

 【氏名又は名称】 市川 利光

 【電話番号】 03-5561-3990

【選任した代理人】

 【識別番号】 100115107

【弁理士】

【氏名又は名称】 高松 猛

【電話番号】 03-5561-3990

【選任した代理人】

【識別番号】 100090343

【弁理士】

【氏名又は名称】 栗宇 百合子

【電話番号】 03-5561-3990

【手数料の表示】

【予納台帳番号】 092740

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0002926

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 マルチチップモジュールおよびそのテスト方法

【特許請求の範囲】

【請求項 1】 各入出力セルがマルチチップモジュールの外部端子にそれぞれ接続される複数の半導体チップと、

前記入出力セルの状態を任意に設定するテスト手段と、
を備えたことを特徴とするマルチチップモジュール。

【請求項 2】 前記テスト手段は、前記外部端子を共有する全ての入出力セルの状態を制御することを特徴とする請求項 1 記載のマルチチップモジュール。

【請求項 3】 前記テスト手段は、前記半導体チップの全ての入出力セルの状態を制御することを特徴とする請求項 1 記載のマルチチップモジュール。

【請求項 4】 前記テスト手段は、
シフトレジスタ状に接続された第 1 段目のフリップフロップ群と、
前記第 1 段目のフリップフロップ群の出力を入力とする第 2 段目のフリップフロップ群と、
非テストモード時には通常の信号を選択し、テストモード時には前記第 2 段目のフリップフロップ群の出力を選択し、前記入出力セルに対して入出力制御信号を与えるセレクタと、
を備えることを特徴とする請求項 1 から 3 のいずれか一項記載のマルチチップモジュール。

【請求項 5】 各入出力セルがマルチチップモジュールの外部端子にそれぞれ接続されるバウンダリスキャン設計された複数の半導体チップと、

前記入出力セルの状態を任意に設定する前記半導体チップに搭載されたバウンダリスキャン手段と、
を備えたことを特徴とするマルチチップモジュール。

【請求項 6】 請求項 1 から 5 のいずれか一項記載のマルチチップモジュールに対してバーンインテストを行うマルチチップモジュールのテスト方法において、

複数の半導体チップに共有されない外部端子に接続された入出力セルに対して

入出力制御信号をトグルさせ、複数の半導体チップに共有される外部端子に接続された入出力セルに対して各半導体チップの入出力セルの状態を排他的に制御しながら入出力制御信号をトグルさせることを特徴とするマルチチップモジュールのテスト方法。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、複数の半導体チップを搭載するマルチチップモジュールおよびそのテスト方法に関する。

【 0 0 0 2 】

【従来の技術】

電子機器の多機能化が進み、複数のプロセッサ等を相互接続して構成したシステムが常用されるようになってきている。このようなシステムを実装する方式として、プロセッサ等の複数の半導体チップを1つのパッケージに搭載するマルチチップモジュールがコンパクトな実装として注目されている。

【 0 0 0 3 】

このようなマルチチップモジュールにおいては、搭載された半導体チップのテストの実施方法が技術的な課題となる。従来、マルチチップモジュールに搭載された半導体チップのテストを容易にする回路として、特開平5-13662号公報に記載されているものがある。

【 0 0 0 4 】

図7は、上記従来のマルチチップモジュールのテスト回路の構成を示すブロック図である。図7において、マルチチップモジュール701にはプロセッサ等の半導体チップ702、703が搭載され、半導体チップ702の出力端子と半導体チップ703の入力端子はスイッチング用チップ704を介して接続されている。

【 0 0 0 5 】

スイッチング用チップ704は、半導体チップ703の入力端子への接続先として、半導体チップ702の出力端子または外部端子705を選択することによ

り、パッケージ内の各半導体チップ 7 0 2 および 7 0 3 のテストをそれぞれ独立に行うとしている。

【 0 0 0 6 】

【発明が解決しようとする課題】

しかしながら、この方法ではスイッチング用チップを挿入するために、マルチチップモジュールの設計工数が増え、マルチチップモジュールの面積が増大し、さらに積層型の場合はスイッチング用チップの挿入自体が困難であるという問題があった。

【 0 0 0 7 】

また、スイッチング用チップを挿入しない場合は、マルチチップモジュールのテスト設計において、DCテスト、バーンインテスト、スキャンテスト、ファンクションテストなどの際に、共有される外部端子に関して、搭載される半導体チップの状態を考慮してバス衝突を避ける必要があり、設計が困難であるという問題があった。

【 0 0 0 8 】

さらに、マルチチップモジュールに搭載される半導体チップの組み合わせは複数存在することもあり、その都度の設計変更や追加も困難であるという問題があった。

【 0 0 0 9 】

本発明は、このような点に鑑みてなされたものであり、マルチチップモジュールのテスト設計を容易にするマルチチップモジュールおよびそのテスト方法を提供することを目的とする。

【 0 0 1 0 】

【課題を解決するための手段】

この課題を解決するために、請求項 1 に係るマルチチップモジュールは、各入出力セルがマルチチップモジュールの外部端子にそれぞれ接続される複数の半導体チップと、前記入出力セルの状態を任意に設定するテスト手段と、を備える。

【 0 0 1 1 】

上記構成によれば、マルチチップモジュールのテストをする際にテスト用半導

体チップの追加する必要が無く、外部端子を共有する入出力セルの状態を制御するだけで外部端子から容易に半導体チップの結合テストや信号のモニタを行うことができる。

【 0 0 1 2 】

請求項 2 に係るマルチチップモジュールは、請求項 1 記載のマルチチップモジュールにおいて、前記テスト手段は、前記外部端子を共有する全ての入出力セルの状態を制御する。

【 0 0 1 3 】

上記構成によれば、外部端子を共有する全ての入出力セルの状態を制御することができるため、外部端子を共有する入出力セルの状態を制御するだけで外部端子から容易に各半導体チップのアイソレーションテスト（ファンクションテスト、DCテスト、スキャンテスト）、複数の半導体チップの結合テスト、バーンインテストを行うことができ、また、半導体チップ単体のテストパターンのヘッダに共有される外部端子の入出力制御を追加するだけでテストパターンを流用することができる。

【 0 0 1 4 】

請求項 3 に係るマルチチップモジュールは、請求項 1 記載のマルチチップモジュールにおいて、前記テスト手段は、前記半導体チップの全ての入出力セルの状態を制御する。

【 0 0 1 5 】

上記構成によれば、半導体チップの全ての入出力セルの状態を制御することができるため、半導体チップの組み合わせに依存しないマルチチップモジュールのテストを行うことができる。

【 0 0 1 6 】

請求項 4 に係るマルチチップモジュールは、請求項 1 から 3 のいずれか一項記載のマルチチップモジュールにおいて、前記テスト手段は、シフトレジスタ状に接続された第 1 段目のフリップフロップ群と、前記第 1 段目のフリップフロップ群の出力を入力とする第 2 段目のフリップフロップ群と、非テストモード時には通常の信号を選択し、テストモード時には前記第 2 段目のフリップフロップ群の

出力を選択し、前記入出力セルに対して入出力制御信号を与えるセレクトと、を備える。

【 0 0 1 7 】

上記構成によれば、入出力セルの制御を行うマルチチップモジュール用テスト回路を容易に実現することができる。

【 0 0 1 8 】

請求項 5 に係るマルチチップモジュールは、各入出力セルがマルチチップモジュールの外部端子にそれぞれ接続されるバウンダリスキャン設計された複数の半導体チップと、前記入出力セルの状態を任意に設定する前記半導体チップに搭載されたバウンダリスキャン手段と、を備える。

【 0 0 1 9 】

上記構成によれば、半導体チップにおいて一般的な設計であるバウンダリスキャン設計をするだけで、容易にマルチチップモジュールのテスト設計をすることができる。また、マルチチップモジュールのテストをする際に、共有される外部端子におけるバス衝突を避けるように制御するだけで、容易に各半導体チップのアイソレーションテスト（ファンクションテスト、DCテスト、スキャンテスト）とバーンインテストを行うことができ、半導体チップ単体のテストパターンのヘッダに共有される外部端子の入出力制御を追加するだけでテストパターンを流用することができる。

【 0 0 2 0 】

請求項 6 に係るマルチチップモジュールのテスト方法は、請求項 1 から 5 のいずれか一項記載のマルチチップモジュールに対してバーンインテストを行うマルチチップモジュールのテスト方法において、複数の半導体チップに共有されない外部端子に接続された入出力セルに対して入出力制御信号をトグルさせ、複数の半導体チップに共有される外部端子に接続された入出力セルに対して各半導体チップの入出力セルの状態を排他的に制御しながら入出力制御信号をトグルさせる。

【 0 0 2 1 】

上記構成によれば、各半導体チップの内部回路をランダムに動作させても共有

される外部端子のバス衝突を起こさずに、ストレスの与え難い入出力セルに容易に適切なストレスを与えることができるため、全ての半導体チップに同時にストレスを与えることでテスト時間を短縮することができる。

【 0 0 2 2 】

【発明の実施の形態】

以下、本発明の実施の形態について、図面を参照して詳細に説明する。

（実施の形態 1）

図 1 は、本発明の実施の形態 1 に係るマルチチップモジュールの構成を示す図である。図 1 において、1 0 1 はマルチチップモジュール、1 0 2、1 0 3 は半導体チップ、1 0 4、1 0 5 はマルチチップモジュール用テスト回路、1 0 6、1 0 7 は入出力セル、1 0 8 は外部端子である。

【 0 0 2 3 】

マルチチップモジュール 1 0 1 は、半導体チップ 1 0 2、1 0 3 を搭載し、半導体チップ 1 0 2、1 0 3 はそれぞれマルチチップモジュール用テスト回路 1 0 4、1 0 5 を内蔵し、半導体チップ 1 0 2、1 0 3 それぞれの入出力セル 1 0 6、1 0 7 は外部端子 1 0 8 を共有するように接続され、入出力セル 1 0 6、1 0 7 の入出力制御入力にはマルチチップモジュール用テスト回路 1 0 4、1 0 5 からの入出力制御信号が接続されている。

【 0 0 2 4 】

上記構成を有するマルチチップモジュールのテスト動作について説明する。マルチチップモジュール用テスト回路 1 0 4、1 0 5 は、入出力制御信号により、入出力セルの状態を、入力制御、出力制御、ハイインピーダンスのうちの任意の状態に設定することができる。

【 0 0 2 5 】

半導体チップ 1 0 2 のアイソレーションテスト時には、マルチチップモジュール用テスト回路 1 0 5 により入出力セル 1 0 7 をハイインピーダンスに制御することにより、入出力セル 1 0 6 とのバス衝突を回避し、外部端子 1 0 8 でテスト入力もしくはテストモニタを行う。

【 0 0 2 6 】

半導体チップ 1 0 3 のアイソレーションテスト時には、マルチチップモジュール用テスト回路 1 0 4 により入出力セル 1 0 6 をハイインピーダンスに制御することにより、入出力セル 1 0 7 とのバス衝突を回避し、外部端子 1 0 8 でテスト入力もしくはテストモニタを行う。

【 0 0 2 7 】

半導体チップ 1 0 2 と 1 0 3 の結合テスト時には、入出力セル 1 0 7 を入力制御し入出力セル 1 0 6 を出力制御するか、あるいは、入出力セル 1 0 7 を出力制御し入出力セル 1 0 6 を入力制御することにより、両者を結合してテストを行う。

【 0 0 2 8 】

図 5 は、マルチチップモジュール用テスト回路の構成を示す回路図である。図 5 において、5 0 1、5 0 2 は入出力セルであり、5 1 6、5 1 7、5 1 8、5 1 9 は、入出力セル 5 0 1、5 0 2 の出力制御信号と入力制御信号として、通常信号 5 0 3、5 0 4、5 0 5、5 0 6 もしくはフリップフロップ 5 1 2、5 1 3、5 1 4、5 1 5 の出力を選択するセレクタで、テストモード信号 5 0 7 により入力を切り替える。

【 0 0 2 9 】

フリップフロップ 5 1 2、5 1 3、5 1 4、5 1 5 は入出力セルの状態を確定するフリップフロップであり、全てのフリップフロップのクロックには同一系のロードクロック 5 2 1 が接続されている。また、5 0 8、5 0 9、5 1 0、5 1 1 はシリアルに接続されているフリップフロップであり、同一系のシフトクロック 5 2 0 が接続されている。

【 0 0 3 0 】

上記構成を有するマルチチップモジュール用テスト回路の動作について説明する。通常動作を行う場合は、テストモード信号 5 0 7 によりセレクタ 5 1 6、5 1 7、5 1 8、5 1 9 において通常信号 5 0 3、5 0 4、5 0 5、5 0 6 が選択されるように固定する。

【 0 0 3 1 】

テストモードにおいて入出力セルを任意の状態に固定する場合は、まず、シフ

トクロック 5 2 0 により初段のフリップフロップ 5 0 8、5 0 9、5 1 0、5 1 1 に設定したい値を保持する。次に、ロードクロック 5 2 1 により次段のフリップフロップ 5 1 2、5 1 3、5 1 4、5 1 5 にデータを保持し、最後に、テストモード信号 5 0 7 でセクタ 5 1 6、5 1 7、5 1 8、5 1 9 においてフリップフロップ側の出力を選択する。その後、状態を変えたいときは、以上の過程を繰り返すことで入出力セル 5 0 1、5 0 2 の状態を任意に設定することができる。

【 0 0 3 2 】

このように、マルチチップモジュールのテスト回路は簡単な回路で容易に実現することができる。なお、図 5 のマルチチップモジュールのテスト回路において、5 0 8、5 0 9、5 1 0、5 1 1、5 1 2、5 1 3、5 1 4、5 1 5 はフリップフロップで構成されたが、ラッチ回路でもよい。

【 0 0 3 3 】

図 6 は、マルチチップモジュールのバーンインテスト方法を説明する図である。ここでは、マルチチップモジュールの 1 つの外部端子に n 個の入出力セルが接続されている場合を想定しており、6 0 1 は第 1 の工程で、6 0 2 は第 2 の工程、6 0 3 は第 n の工程である。

【 0 0 3 4 】

第 1 の工程 6 0 1 では、 n 個共有している第 1 の入出力セルのみを出力制御とし、残りの入出力セルは入力制御として内部回路をトグルさせる。第 2 の工程 6 0 2 では、 n 個共有している第 2 の入出力セルのみを出力制御とし、残りの入出力セルは入力制御として内部回路をトグルさせる。第 n の工程 6 0 3 では、 n 個共有している第 n の入出力セルのみを出力制御とし、残りの入出力セルは入力制御として内部回路をトグルさせる。それ以外の共有していない外部端子もランダムに動作させる。

【 0 0 3 5 】

このようなバーンインテスト方法によれば、共有する外部端子でバス衝突を起こすことなく、このような制御を行わない場合にはストレスを与えるのが困難な入出力セルに対して、容易に適切なストレスを与えることができ、全半導体チップに同時にストレスを与えることでテスト時間を短縮することができる。

【 0 0 3 6 】

このように、本実施の形態のマルチチップモジュールによれば、マルチチップモジュール用テスト回路を備えて入出力セルの状態を制御することにより、テスト困難なマルチチップモジュールの共有外部端子を介したテストを容易に実施することができる。

【 0 0 3 7 】

(実施の形態 2)

図 2 は、本発明の実施の形態 2 に係るマルチチップモジュールの構成を示す図である。図 2 において、2 0 1 はマルチチップモジュール、2 0 2、2 0 3 は半導体チップ、2 0 4、2 0 5 はバウンダリスキャン回路、2 0 6、2 0 7、2 0 8、2 0 9 は入出力セル、2 1 0、2 1 1、2 1 2、2 1 3 は外部端子である。

【 0 0 3 8 】

マルチチップモジュール 2 0 1 は、半導体チップ 2 0 2、2 0 3 を搭載し、半導体チップ 2 0 2、2 0 3 はそれぞれバウンダリスキャン回路 2 0 4、2 0 5 を内蔵し、半導体チップ 2 0 2、2 0 3 それぞれの入出力セル 2 0 6、2 0 8 は外部端子 2 1 0 を共有するように接続され、それぞれの入出力セル 2 0 7、2 0 9 は外部端子 2 1 1 を共有するように接続され、入出力セル 2 0 6 ~ 2 0 9 の入出力制御入力にはバウンダリスキャン回路 2 0 4、2 0 5 からの入出力制御信号が接続されている。また、外部端子 2 1 2、2 1 3 はテスト端子として専用に割り当てられている。

【 0 0 3 9 】

上記構成を有するマルチチップモジュールのテスト動作について説明する。半導体チップ 2 0 2 のアイソレーションテスト時には、バウンダリスキャン回路 2 0 5 を外部端子 2 1 3 から制御して入出力セル 2 0 8、2 0 9 をハイインピーダンスに制御することにより、入出力セル 2 0 6、2 0 7 とのバス衝突を回避し、外部端子 2 1 0、2 1 1 でテスト入力もしくはテストモニタを行う。

【 0 0 4 0 】

半導体チップ 2 0 3 のアイソレーションテスト時には、バウンダリスキャン回路 2 0 4 を外部端子 2 1 2 から制御して入出力セル 2 0 6、2 0 7 をハイインピ

ードンスに制御することにより、入出力セル 2 0 8、2 0 9 とのバス衝突を回避し、外部端子 2 1 0、2 1 1 でテスト入力もしくはテストモニタを行う。

【 0 0 4 1 】

このように、本実施の形態のマルチチップモジュールによれば、マルチチップモジュールのテスト設計をする際は、半導体チップにおいて一般的な設計であるバウンダリスキャン設計をするだけでよいため、テスト設計が容易である。

【 0 0 4 2 】

また、マルチチップモジュールのテストをする際は、容易に各半導体チップのアイソレーションテスト（ファンクションテスト、DCテスト、スキャンテスト）を行うことができ、半導体チップ単体のテストパターンのヘッダに複数の半導体チップが共有する外部端子の入出力制御を追加するだけでテストパターンを流用することができる。

【 0 0 4 3 】

（実施の形態 3）

図 3 は、本発明の実施の形態 3 に係るマルチチップモジュールの構成を示す図である。図 3 において、3 0 1 はマルチチップモジュール、3 0 2、3 0 3 は半導体チップ、3 0 4、3 0 5 はマルチチップモジュール用テスト回路、3 0 6、3 0 7、3 0 8、3 0 9 は入出力セル、3 1 0、3 1 1 は外部端子である。

【 0 0 4 4 】

マルチチップモジュール 3 0 1 は、半導体チップ 3 0 2、3 0 3 を搭載し、半導体チップ 3 0 2、3 0 3 はそれぞれマルチチップモジュール用テスト回路 3 0 4、3 0 5 を内蔵し、半導体チップ 3 0 2、3 0 3 それぞれの入出力セル 3 0 6、3 0 8 は外部端子 3 1 0 を共有するように接続され、それぞれの入出力セル 3 0 7、3 0 9 は外部端子 3 1 1 を共有するように接続され、入出力セル 3 0 6、3 0 7 の入出力制御入力にはマルチチップモジュール用テスト回路 3 0 4 からの入出力制御信号が接続され、入出力セル 3 0 8、3 0 9 の入出力制御入力にはマルチチップモジュール用テスト回路 3 0 5 からの入出力制御信号が接続されている。ここで、入出力セル 3 0 6、3 0 7、3 0 8、3 0 9 は外部端子を共有する全ての入出力セルである。

【 0 0 4 5 】

上記構成を有するマルチチップモジュールのテスト動作について説明する。マルチチップモジュール用テスト回路 3 0 4、3 0 5 は、入出力制御信号により、入出力セルの状態を、入力制御、出力制御、ハイインピーダンスのうちの任意の状態に設定することができる。

【 0 0 4 6 】

半導体チップ 3 0 2 のアイソレーションテスト時には、マルチチップモジュール用テスト回路 3 0 5 により入出力セル 3 0 8、3 0 9 をハイインピーダンスに制御することにより、入出力セル 3 0 6、3 0 7 とのバス衝突を回避し、外部端子 3 1 0、3 1 1 でテスト入力もしくはテストモニタを行う。

【 0 0 4 7 】

半導体チップ 3 0 3 のアイソレーションテスト時には、マルチチップモジュール用テスト回路 3 0 4 により入出力セル 3 0 6、3 0 7 をハイインピーダンスに制御することにより、入出力セル 3 0 8、3 0 9 とのバス衝突を回避し、外部端子 3 1 0、3 1 1 でテスト入力もしくはテストモニタを行う。

【 0 0 4 8 】

半導体チップ 3 0 2 と 3 0 3 の結合テスト時には、入出力セル 3 0 6 を入力制御し入出力セル 3 0 8 を出力制御するか、あるいは、入出力セル 3 0 6 を出力制御し入出力セル 3 0 8 を入力制御し、また、入出力セル 3 0 7 と入出力セル 3 0 9 についても同様に制御することにより、両者を結合してテストを行う。

【 0 0 4 9 】

このように、本実施の形態のマルチチップモジュールによれば、マルチチップモジュールのテストをする際に、容易に各半導体チップのアイソレーションテスト（ファンクションテスト、DCテスト、スキャンテスト）と結合テストを行うことができ、半導体チップ単体のテストパターンのヘッダに複数の半導体チップが共有する外部端子の入出力制御を追加するだけでテストパターンを流用することができる。

【 0 0 5 0 】

（実施の形態 4）

図 4 は、本発明の実施の形態 4 に係るマルチチップモジュールの構成を示す図である。図 4 において、4 0 1 はマルチチップモジュール、4 0 2、4 0 3 は半導体チップ、4 0 4、4 0 5 はマルチチップモジュール用テスト回路、4 0 6、4 0 7、4 0 8、4 0 9 は入出力セル、4 1 0、4 1 1 は外部端子である。

【 0 0 5 1 】

マルチチップモジュール 4 0 1 は、半導体チップ 4 0 2、4 0 3 を搭載し、半導体チップ 4 0 2、4 0 3 はそれぞれマルチチップモジュール用テスト回路 4 0 4、4 0 5 を内蔵し、半導体チップ 4 0 2、4 0 3 それぞれの入出力セル 4 0 6、4 0 8 は外部端子 4 1 0 を共有するように接続され、それぞれの入出力セル 4 0 7、4 0 9 は外部端子 4 1 1 を共有するように接続されている。

【 0 0 5 2 】

マルチチップモジュール用テスト回路 4 0 4、4 0 5 からの入出力制御信号は、それぞれ半導体チップ 4 0 2、4 0 3 の全ての入出力セルの入出力制御入力に接続され、任意の入出力セルの状態を、入力制御、出力制御、ハイインピーダンスのうちの任意の状態に設定することができる。

【 0 0 5 3 】

上記構成を有するマルチチップモジュールのテスト動作について説明する。半導体チップ 4 0 2 のアイソレーションテスト時には、マルチチップモジュール用テスト回路 4 0 5 により入出力セル 4 0 8、4 0 9 をハイインピーダンスに制御することにより、入出力セル 4 0 6、4 0 7 とのバス衝突を回避し、外部端子 4 1 0、4 1 1 でテスト入力もしくはテストモニタを行う。

【 0 0 5 4 】

半導体チップ 4 0 3 のアイソレーションテスト時には、マルチチップモジュール用テスト回路 4 0 4 により入出力セル 4 0 6、4 0 7 をハイインピーダンスに制御することにより、入出力セル 4 0 8、4 0 9 とのバス衝突を回避し、外部端子 4 1 0、4 1 1 でテスト入力もしくはテストモニタを行う。

【 0 0 5 5 】

半導体チップ 4 0 2 と 4 0 3 の結合テスト時には、入出力セル 4 0 6 を入力制御し入出力セル 4 0 8 を出力制御するか、あるいは、入出力セル 4 0 6 を出力制

御し入出力セル408を入力制御し、また、入出力セル407と入出力セル409についても同様に制御することにより、両者を結合してテストを行う。

【0056】

このように、本実施の形態のマルチチップモジュールによれば、マルチチップモジュールのテストをする際に、容易に各半導体チップのアイソレーションテスト（ファンクションテスト、DCテスト、スキャンテスト）と結合テストを行うことができ、半導体チップ単体のテストパターンのヘッダに複数の半導体チップが共有する外部端子の入出力制御を追加するだけでテストパターンを流用することができる。

【0057】

また、半導体チップの全ての入出力セルの状態をマルチチップモジュール用テスト回路から制御することができるため、半導体チップの組み合わせに依存しないマルチチップモジュールのテスト回路を実現することができる。

【0058】

【発明の効果】

以上説明したように、本発明によれば、半導体チップの入出力セルの状態を制御するテスト手段を備えることにより、マルチチップモジュールのテストをする際にテスト用半導体チップの追加する必要が無く、外部端子を共有する入出力セルの状態を制御するだけで外部端子から容易に半導体チップの結合テストや信号のモニタを行うことができ、テスト困難なマルチチップモジュールの共有外部端子を介したテストを容易に実施することができる

【0059】

さらに本発明によれば、外部端子を共有する入出力セルの状態を制御するだけで外部端子から容易に各半導体チップのアイソレーションテスト（ファンクションテスト、DCテスト、スキャンテスト）、複数の半導体チップの結合テスト、バーンインテストを行うことができ、また、半導体チップ単体のテストパターンのヘッダに共有される外部端子の入出力制御を追加するだけでテストパターンを流用することができる。

【0060】

さらに本発明によれば、半導体チップがバウンダリスキャン回路を内蔵しバウンダリスキャン設計されている場合は、半導体チップにおいて一般的な設計であるバウンダリスキャン設計をするだけで、容易にマルチチップモジュールのテスト設計をすることができる。

【 0 0 6 1 】

さらに本発明によれば、マルチチップモジュールのバーンインテストにおいて、各半導体チップの内部回路をランダムに動作させても共有される外部端子のバス衝突を起こさずに、ストレスの与え難い入出力セルに容易に適切なストレスを与えることができ、全ての半導体チップに同時にストレスを与えることでテスト時間を短縮することができる。

【図面の簡単な説明】

【図 1】

本発明の実施の形態 1 に係るマルチチップモジュールの構成を示す図。

【図 2】

本発明の実施の形態 2 に係るマルチチップモジュールの構成を示す図。

【図 3】

本発明の実施の形態 3 に係るマルチチップモジュールの構成を示す図。

【図 4】

本発明の実施の形態 4 に係るマルチチップモジュールの構成を示す図。

【図 5】

マルチチップモジュール用テスト回路の構成を示す回路図。

【図 6】

マルチチップモジュールのバーンインテスト方法を説明する図。

【図 7】

従来のマルチチップモジュールの構成を示すブロック図。

【符号の説明】

1 0 1、2 0 1、3 0 1、4 0 1 マルチチップモジュール

1 0 2、1 0 3、2 0 2、2 0 3、3 0 2、3 0 3、4 0 2、4 0 3 半導体
チップ

1 0 4、1 0 5、3 0 4、3 0 5、4 0 4、4 0 5 マルチチップモジュール
用テスト回路

1 0 6、1 0 7、2 0 6、2 0 7、2 0 8、2 0 9、3 0 6、3 0 7、3 0 8
、3 0 9、

4 0 6、4 0 7、4 0 8、4 0 9 入出力セル

1 0 8、2 1 0、2 1 1、2 1 2、2 1 3、3 1 0、3 1 1、4 1 0、4 1 1

外部端子

2 0 4、2 0 5 バウンダリスキャン回路

5 0 1、5 0 2 入出力セル

5 0 3、5 0 4、5 0 5、5 0 6 通常信号

5 0 7 テストモード信号

5 0 8、5 0 9、5 1 0、5 1 1、5 1 2、5 1 3、5 1 4、5 1 5 フリッ

プフロップ

5 1 6、5 1 7、5 1 8、5 1 9 セレクタ

5 2 0 シフトクロック

5 2 1 ロードクロック

6 0 1 第1の工程

6 0 2 第2の工程

6 0 3 第nの工程

7 0 1 マルチチップモジュール

7 0 2、7 0 3 半導体チップ

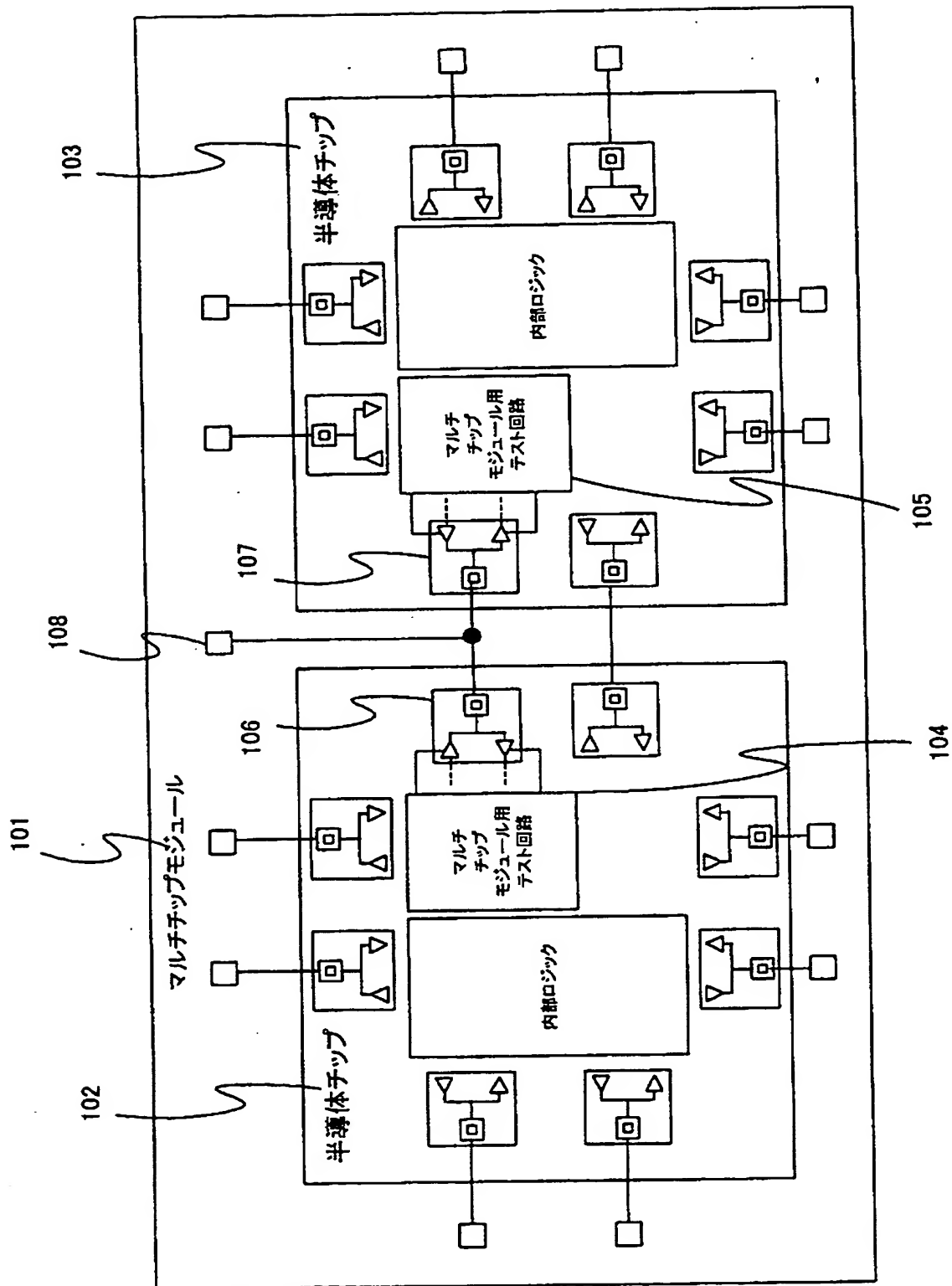
7 0 4 スイッチング用チップ

7 0 5 外部端子

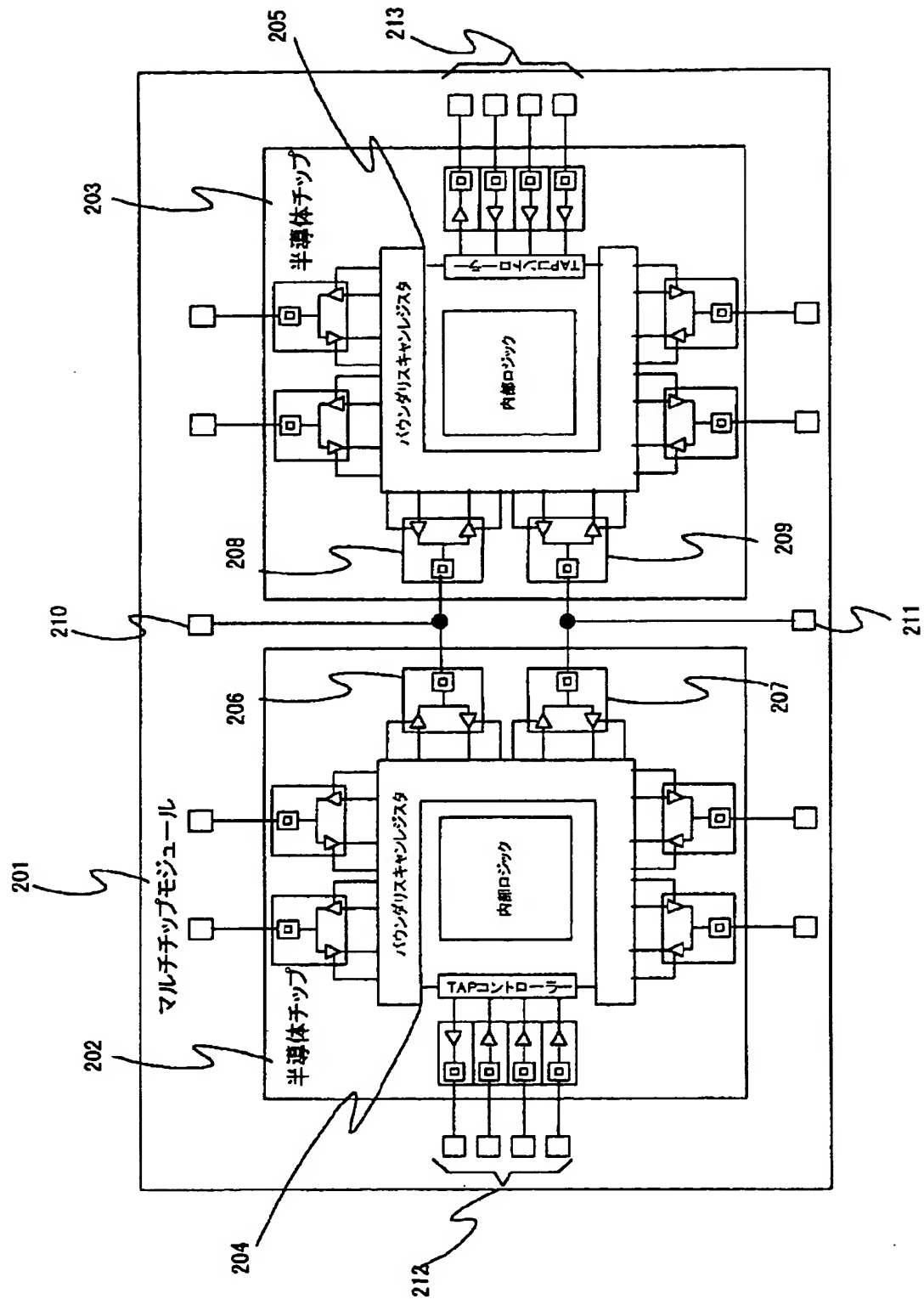
【書類名】

凶面

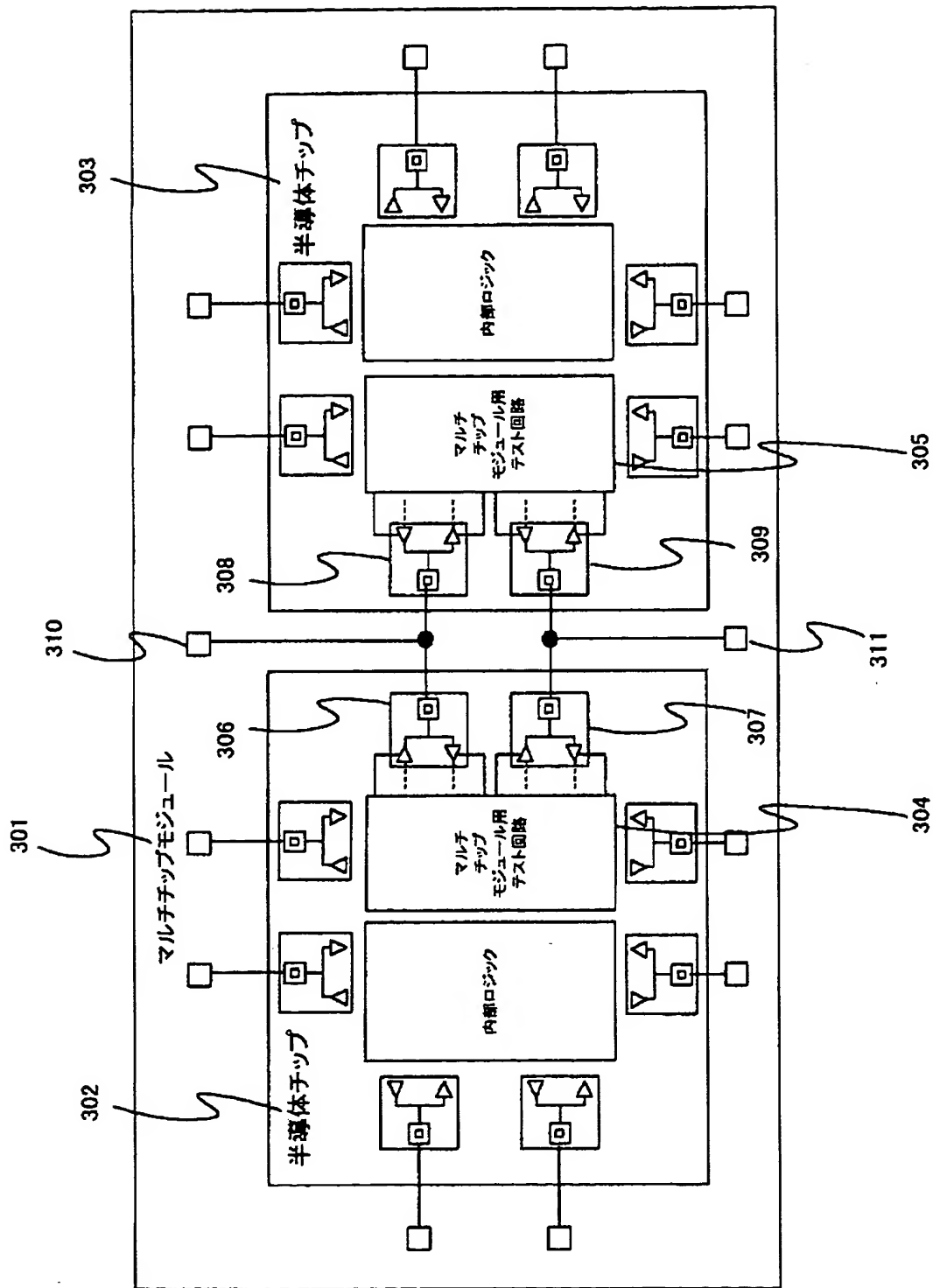
【図 1】



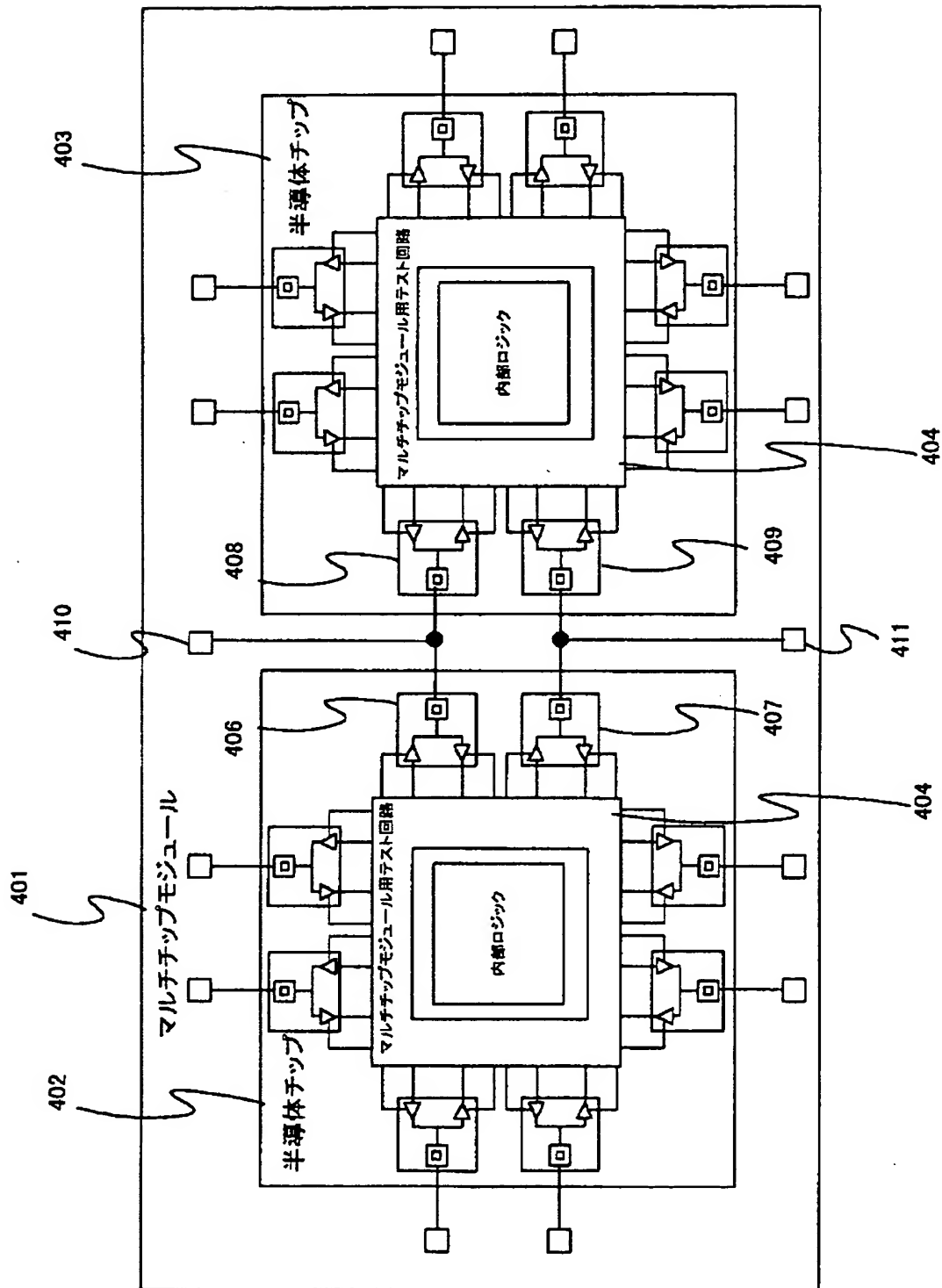
【図2】



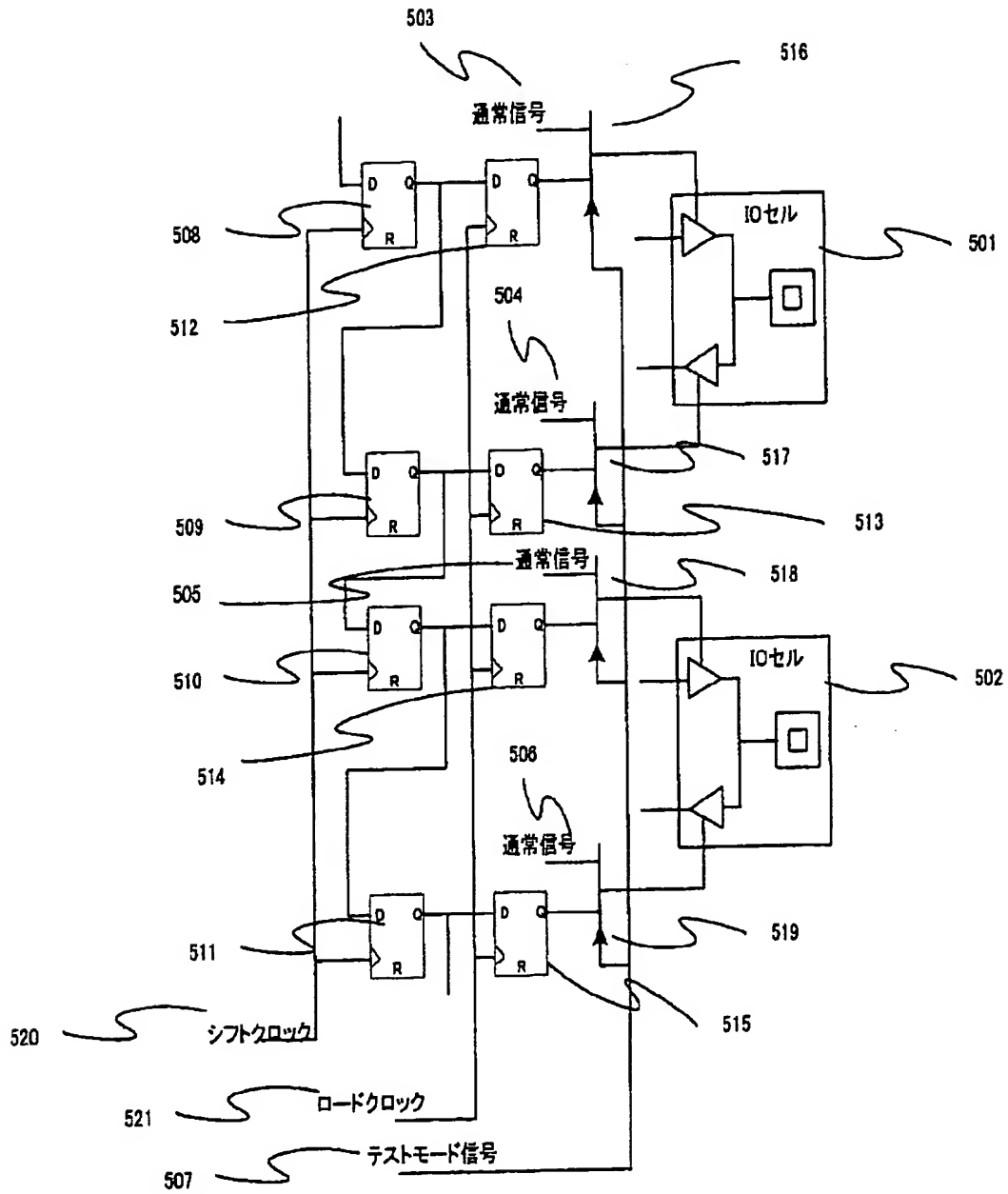
【図 3】



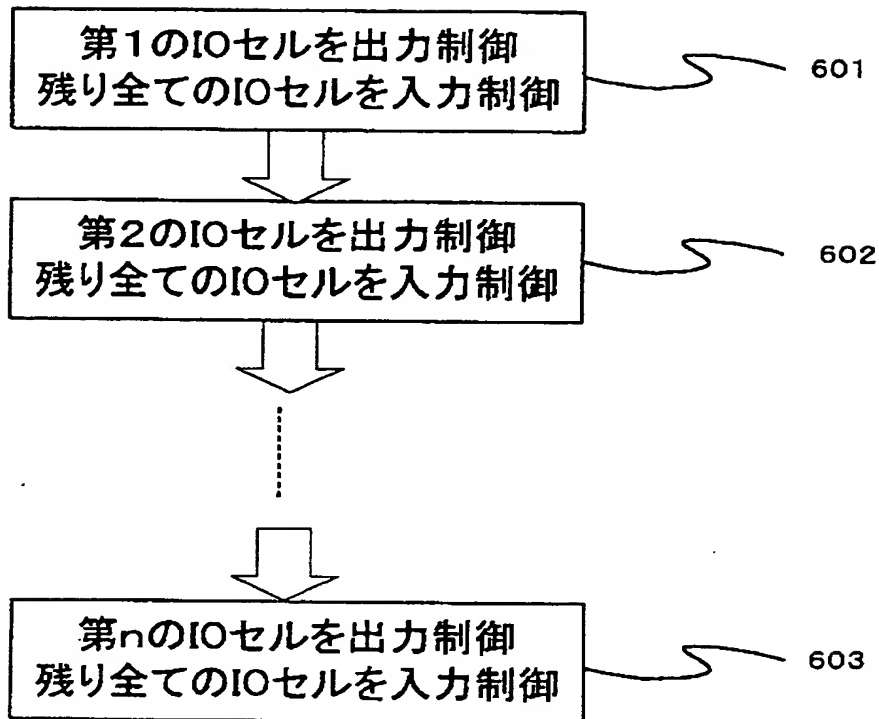
【図 4】



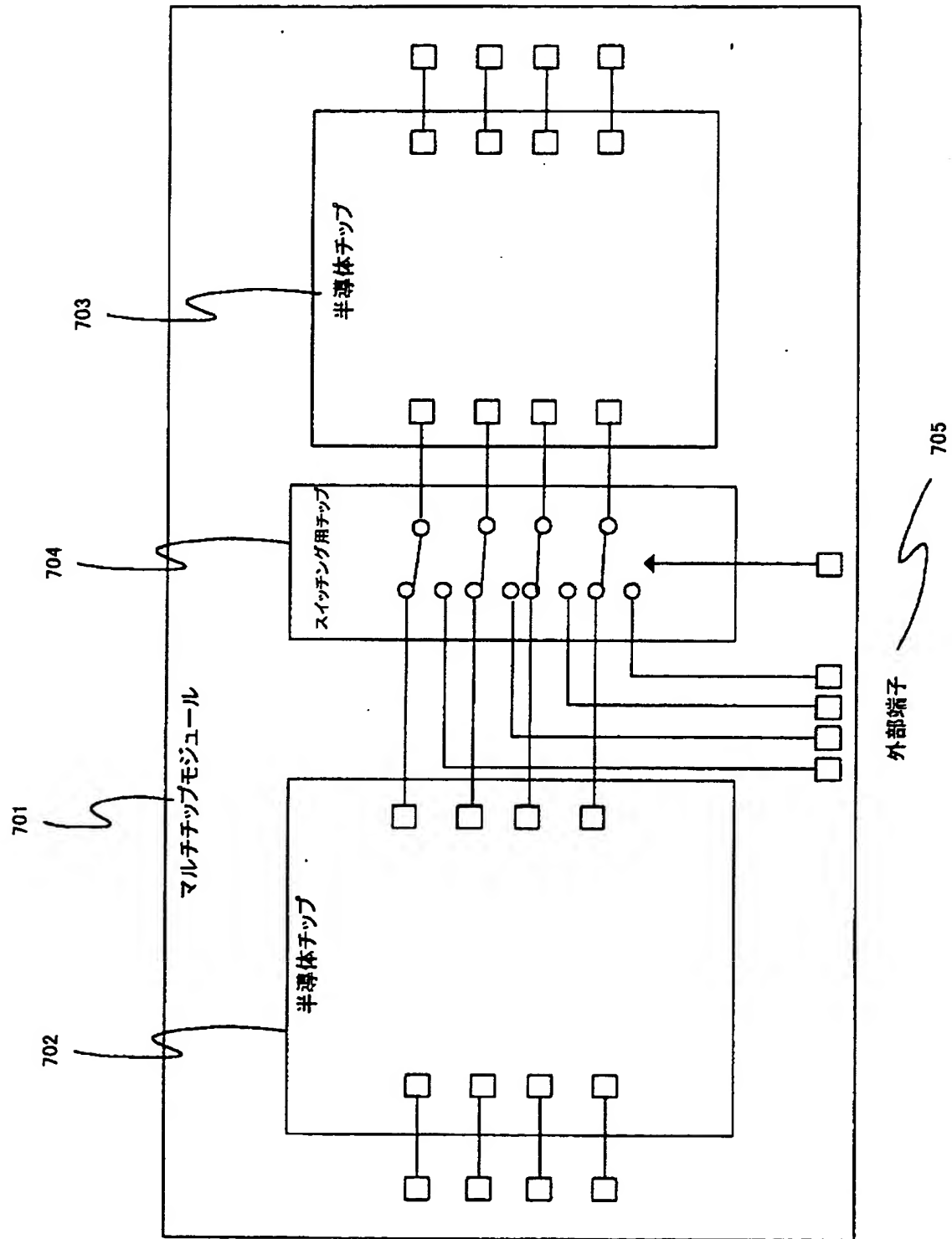
【図 5】



【図 6】



【図 7】



【書類名】 要約書

【要約】

【課題】 マルチチップモジュールのテスト設計を容易にする。

【解決手段】 各入出力セル 1 0 6、1 0 7 がマルチチップモジュール 1 0 1 の外部端子 1 0 8 にそれぞれ接続される複数の半導体チップ 1 0 2、1 0 3 と、入出力セルの状態を任意に設定するマルチチップモジュール用テスト回路 1 0 4、1 0 5 と、を備える。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 5 8 2 1]

1. 変更年月日	1 9 9 0 年 8 月 2 8 日
[変更理由]	新規登録
住 所	大阪府門真市大字門真 1 0 0 6 番地
氏 名	松下電器産業株式会社